

การออกแบบวงจรหารเลขโดยใช้ลอจิกเกต

A Design of Divider Circuit by Using Logic Gate

สิทธิพร เพ็ชรกิจ¹ คัมภีร์ ธีรวิทย์¹ สุทธิเกียรติ ชลลภ² วิจิตรา เพ็ชรกิจ³

Sitiporn Petchakij¹ Kampree Thiravith¹ Sutikiat Chonlarp² Wijittra Petchakij³

บทคัดย่อ

บทความนี้นำเสนอ การออกแบบวงจรหารเลขโดยใช้ลอจิกเกตพื้นฐาน เช่น แอนด์เกต ออเกต และดี-ฟลิปฟล็อป มาประกอบเป็นวงจรหารเลข แสดงผลด้วยเซเวนเซ็กเมนต์ 2 ชุด คือชุดคำตอบของผลหาร และชุดคำตอบของเศษที่ได้ ตามหลักการหารแบบวิธีลบซ้ำๆ นำมาสังเคราะห์เป็นวงจรให้เห็นจริง วงจรที่ออกแบบนี้ได้ทำการทดสอบโดยการจำลองผลการทำงานด้วยโปรแกรม Circuit Wizard ผลจำลองการทำงานแสดงให้เห็นว่า วงจรที่ออกแบบนี้สามารถทำงานเป็นวงจรหารได้อย่างถูกต้อง

คำสำคัญ: วงจรหาร, ลอจิกเกต, การออกแบบ

Abstract

This paper presents a design of divider circuit by using logic gate. The used logic gates are simple logic gate such as and gate, or gate and D-flip flop. The divider circuit displays with two seven segment units that are the result unit and the fraction unit. By repeated-subtract divider principle brings to a synthesis of real circuit. The designed circuit is tested by simulating with Circuit Wizard program. The simulation result verifies that this designed circuit can work to be divider circuit.

Keyword : divider circuit, logic gate, design

E-mail : sitiporn_2552@yahoo.com kampree@hotmail.com

¹ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยสยาม 38 ถนนเพชรเกษม แขวงบางหว้า เขตภาษีเจริญ กรุงเทพฯ 10160

เบอร์โทรศัพท์ 02-4570068 ต่อ 140 Email address: sitiporn_2552@yahoo.com, kampree@hotmail.com

²ภาควิชาฟิสิกส์ คณะวิทยาศาสตร์ มหาวิทยาลัยสยาม 38 ถนนเพชรเกษม แขวงบางหว้า เขตภาษีเจริญ กรุงเทพฯ 10160

เบอร์โทรศัพท์ 02-4570068 Email address: nuclear_ee@yahoo.com

³สำนักวิชาวิศวกรรมศาสตร์และทรัพยากร มหาวิทยาลัยวลัยลักษณ์ 222 ตำบลไทยบุรี อำเภอท่าศาลา จังหวัดนครศรีธรรมราช 80160

Email address: pwijittra@wu.ac.th

คำนำ

วงจรมวลผลทางคณิตศาสตร์เบื้องต้น เช่นวงจรวก, วงจรลบ และ วงจรคูณ พบว่าส่วนใหญ่มีการอธิบายหลักการทำงานและแสดงรูปแบบของวงจรมวลที่ได้ออกแบบอย่างหลากหลาย (John F. Wakerly. 2001) ยกเว้นเรื่องการหาร จะมีการเสนอเพียงหลักการของการหารเท่านั้น แต่ไม่ได้แสดงรูปแบบของวงจรมวลหรือการออกแบบวงจรมวลให้ปรากฏชัดเจน (Thomas L. Floyd. 2015) ทำให้การต่อวงจรมวลทำได้ลำบาก และยากต่อการทำความเข้าใจ จึงเป็นที่มาของบทความนี้ เพื่อก่อให้เกิดความรู้ความเข้าใจ ในรายละเอียดของทฤษฎีการหารโดยสามารถทำการออกแบบและประกอบเป็นวงจรมวลที่สมบูรณ์

ทฤษฎีและหลักการที่เกี่ยวข้อง

การหารประกอบด้วยอินพุตตัวตั้ง (Dividend : A) และอินพุตตัวหาร (Divisor : B) ทำการหารกัน ได้เอาที่พุดเป็นผลหาร (Quotient : Q) และ เศษ (Remainder : R) ถ้าตัวตั้งมีค่ามากกว่าตัวหาร และเป็น การหารที่ลงตัว จะได้คำตอบที่ Q และเศษ R เป็นศูนย์ แต่ถ้าเป็นการหารที่ไม่ลงตัว ก็จะปรากฏคำตอบที่ Q ส่วนที่เหลือจะเก็บที่ R ดังแสดงด้วย บล็อกไดอะแกรม รูปที่ 1 และ (1)

$$A \div B = \frac{A}{B} = Q \text{ เศษ } R \quad (1)$$

วิธีการหารแบ่งออกได้เป็น 3 รูปแบบคือ

1. การหารสั้น

$$\begin{array}{r} 2 \overline{)5} \\ \underline{2} \text{ เศษ } 1 \end{array} \quad \text{ตัวอย่างที่ 1}$$

2. การหารยาว

$$\begin{array}{r} 2 \\ 2 \overline{)5} \\ \underline{4} \\ 1 \end{array} \quad \text{ตัวอย่างที่ 2}$$

รูปที่ 2 ตัวอย่างการหารแบบหารสั้นและหารยาว

3. การหารแบบการลบซ้ำๆ

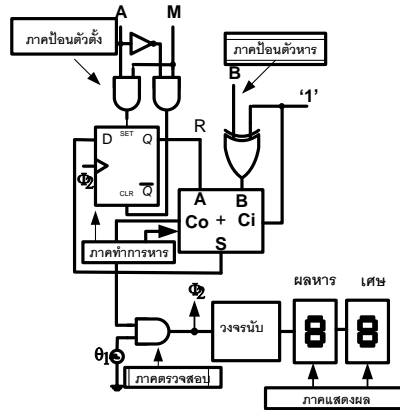
การหารในลักษณะนี้จะต่างกับ สองวิธีแรกดังกล่าวข้างต้น โดยจะนำตัวตั้ง มาทำการลบ ด้วยตัวหารซ้ำๆ จนกว่าตัวตั้งจะน้อยกว่าตัวหารจึงจะยุติการลบ แสดงการกระทำด้วยวิธีนี้ ดังในตัวอย่างที่ 3 และ 4 ตามลำดับ

ตัวอย่างที่ 3	ตัวอย่างที่ 4
$6 \div 2 = 3 \text{ เศษ } 0$	$7 \div 4 = 1 \text{ เศษ } 3$
$6 - 2 \rightarrow 4 \text{ ครั้งที่ } 1$	$7 - 4 \rightarrow 3 \text{ ครั้งที่ } 1$
$4 - 2 \rightarrow 2 \text{ ครั้งที่ } 2$	$3 - 4 \rightarrow - \text{ ลบไม่ได้}$
$2 - 2 \rightarrow 0 \text{ ครั้งที่ } 3$	
$0 - 2 \rightarrow - \text{ ลบไม่ได้}$	

รูปที่ 3 การหารแบบวิธีการลบซ้ำๆ

จากรูปที่ 3 ตัวอย่างที่ 3 กับ 4 จะเห็นกระบวนการหารได้ชัดเจน คือตัวตั้งจะเปลี่ยนไปทุกครั้งที่ทำการลบ โดยเอาผลลบที่ได้แต่ละครั้งบ๊อกลงไปแทนที่ตัวตั้งเดิม แล้วทำการลบซ้ำๆ จนกว่าจะลบไม่ได้ จำนวนครั้งที่ลบได้จะเป็นคำตอบของผลหารที่ได้ และเศษจะอยู่ที่ตัวตั้งลำดับสุดท้าย

จากหลักการข้างต้นสามารถเขียน บล็อกไดอะแกรมใหม่ของวงจรถัดรูปที่ 4



รูปที่ 4 บล็อกไดอะแกรมเบื้องต้นของวงจรถหารตามหลักการลบซ้ำๆ

อธิบายการทำงานของแต่ละภาคได้ดังนี้

1. ภาคบ๊อต้นตัวตั้ง (A) จะใช้ ดี-ฟลิปฟล็อป ที่มีขา SET และ CLR เพื่อกำหนดค่าตัวตั้ง A ในครั้งแรก และนำผลลบที่ได้บ๊อกลงมาที่ตัวตั้ง (R) เพื่อทำการลบครั้งต่อไป จนกว่าจะทำการลบไม่ได้

A เป็นสวิตช์อินพุตสำหรับบ๊อนค่า '1' หรือ '0'

M เป็นสวิตช์สำหรับเลือกโหมดเพื่อเซตค่า หรือใช้เป็น ดี-ฟลิปฟล็อป ตามฟังก์ชัน สามารถเขียนตารางการทำงานได้ดังตารางที่ 1

ตารางที่ 1 โหมดการเซตค่าของชุดบ๊อนค่าตัวตั้ง

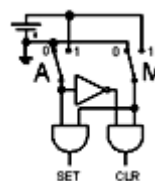
M	A	SET	CLR	Q	
0	0	0	0	-	ไม่มีผล
0	1	0	0	-	ไม่มีผล
1	0	0	1	0	เคลียร์
1	1	1	0	1	เซ็ท

จากตารางที่ 1 สามารถเขียนสมการเอาท์พุตทั้งสองได้ดังนี้

$$SET = M.A \quad (2)$$

$$CLR = M.\bar{A} \quad (3)$$

และเขียนรูปวงจรถอจิกได้เป็น

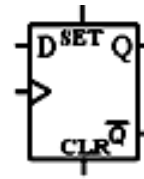


รูปที่ 5 ภาคบ๊อนอินพุตตัวตั้ง A และ โหมดการเซตค่า M

นำเอาทพุตทั้งสองที่ได้ต่อกับชุด ดี-ฟลิปฟลอป ที่ขาดังกล่าว ซึ่ง ดี-ฟลิปฟลอป มีตารางการทำงานดังแสดงในตารางที่ 2

ตารางที่ 2 ตารางการทำงานของ ดี-ฟลิปฟลอป

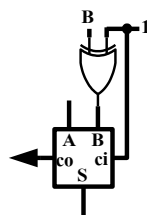
CK	D	SET	CLR	Q	
	0	0	0	0	โหมดปกติ
	1	0	0	1	
-	x	0	0	Qn	โหมดเซตค่า
-	x	1	0	1	



2. ภาคป้อนตัวหาร (B) ใช้ป้อนค่าตัวหารโดยใช้หลักการลบแบบ 2's complement ซึ่งมาจากสมการที่ 4 (Victor P.Nelson. 1995) (Ivan Flores. 1963) (วิชชัย เลื่อนฉวี. 1989)

$$A - B = A + (-B) \quad (4)$$

โดยที่ค่า(-B) คือการนำค่า B มาทำ 2's complement แล้วนำไปบวกกับค่าของตัวตั้ง และพิจารณาตัวทดว่าจะทำการลบหรือไม่ ถ้าเป็น '1' จะทำการลบครั้งต่อไป แต่ถ้าเป็น '0' ก็หยุดการลบทันที ซึ่งจะตรวจสอบสถานะดังกล่าวนี้โดยใช้ แอนด์เกต ในภาคตรวจสอบถัดไป



$$5 - 3 = 2 \text{ ด้วย } 2's$$

$$5 \rightarrow 101$$

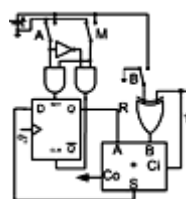
$$-3 \rightarrow 2's \underline{101}^+$$

$$\underline{\underline{1010}}$$

รูปที่ 6 ชุดป้อนค่า B ตามหลักการ 2's complement

เมื่อนำวงจรที่ได้ทั้งสองส่วนมาประกอบกันก็จะได้ส่วนของการป้อนค่าตัวตั้ง และชุดป้อนค่าตัวหารดังรูป

ที่ 7

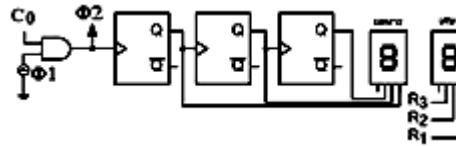


รูปที่ 7 ชุดป้อนค่า A และ B ที่สมมุติจำนวน 1 ชุด

3. ภาคตรวจสอบ โดยใช้ แอนด์เกต ถ้าผลการลบบังมีค่าเป็น '1' จะส่งพัลส์ Φ2 ให้แก่วงจรนับขึ้น และชุดตัวตั้ง ดี-ฟลิปฟลอป เพื่อทำการลบครั้งต่อไป แต่ถ้าผลจากการลบบังมีค่าเป็น '0' แสดงว่าการกระทำสิ้นสุดแล้ว ดังสมการ (5)

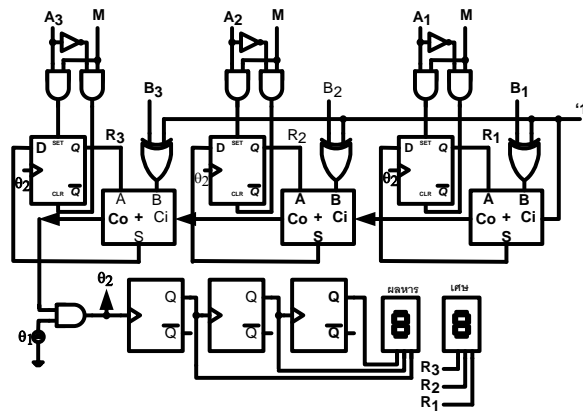
$$CK(\Phi 2) = CK(\Phi 1) \cdot Co \quad (5)$$

4. **ภาคแสดงผล** ใช้ตัวแสดงผลแบบตัวเลขแอลอีดี เซเวนเซ็กเมนต์ จำนวนสองตัว โดยตัวแรกใช้แสดงผลหาร (Q) ซึ่งต่อมาจากชุดของวงจรมultiplexer จะทำการนับจำนวนครั้งที่ทำการลบได้ และตัวที่สองใช้แสดงเศษของการกระทำ (R) เนื่องจากการหารไม่ลงตัว ดังรูปที่ 8



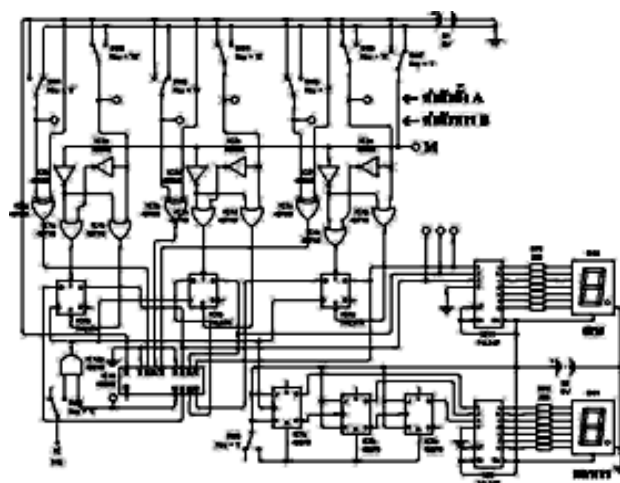
รูปที่ 8 ชุดแสดงผลด้วย 7 Segment

จากวงจรแต่ละส่วนทั้งหมดที่กล่าวมาเมื่อนำมาประกอบรวมกันเป็นวงจรหาร จะสามารถแสดงรูปวงจรมultiplexer ของวงจรรหารเลขขนาด 3 บิต ที่นำเสนอได้ดังรูปที่ 9



รูปที่ 9 วงจรมultiplexer ของวงจรรหารเลขขนาด 3 บิตที่นำเสนอ

ทดสอบการทำงานของวงจรรหารด้วยโปรแกรม Circuit Wizard ดังรูปที่ 10

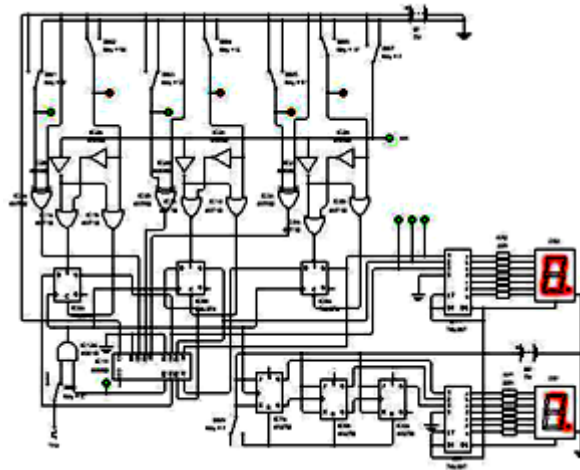


รูปที่ 10 วงจรมultiplexer ของวงจรรหารเลขขนาด 3 บิตบนโปรแกรม Circuit Wizard

ผลการจำลองการทำงานและสรุปผล

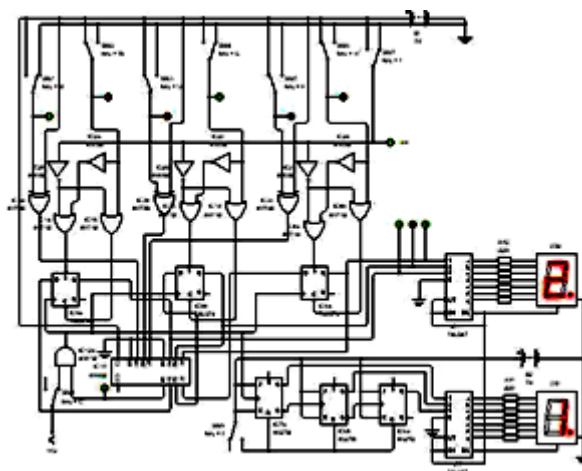
ผลการจำลองการทำงาน

วาดรูปวงจรถงในโปรแกรม Circuit Wizard ดังรูปที่ 10 โดยกำหนดให้ตัวตั้งและตัวหรมีสวิตช์อย่างละจำนวน 3 ตัว (000 ถึง 111) ทำการป้อนค่าทั้งตัวตั้งและตัวหรม และป้อนสัญญาณนาฬิกาผ่านสวิตช์ C แล้วดูผลลัพธ์ที่ เซเวนเซ็กเมนต์ ทั้งสอง แสดงดังรูปที่ 11 ถึงรูปที่ 13 ตามลำดับ



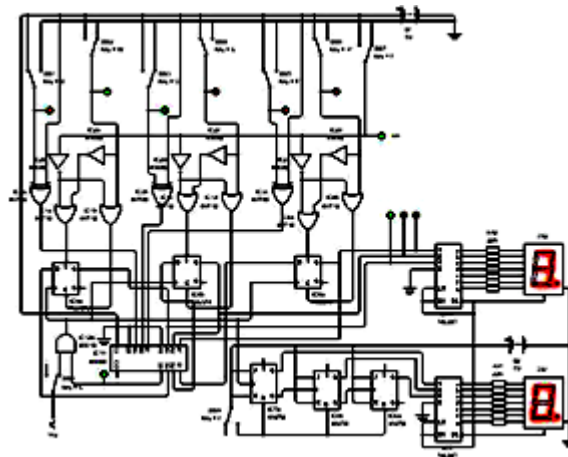
รูปที่ 11 ผลลัพธ์จากการหาร 7 ด้วย 1

ในรูปที่ 11 ทำการป้อนอินพุตตัวตั้ง มีค่าเป็น '111' ซึ่งมีค่าเป็น 7 และป้อนค่าตัวหรม มีค่าเป็น '001' หรือค่าเป็น 1 เมื่อทำการกดสวิตช์ C เพื่อจ่ายคลอกพัลส์ ให้วงจรถงงาน ได้ผลลัพธ์ เป็น 7 เศษ 0



รูปที่ 12 ผลลัพธ์จากการหาร 5 ด้วย 3

ในรูปที่ 12 ทำการบ่อนอินพุตตัวตั้ง มีค่าเป็น '101' ซึ่งมีค่าเป็น 5 และบ่อนค่าตัวหาร มีค่าเป็น '011' หรือค่าเป็น 3 เมื่อทำการกดสวิตช์ C เพื่อจ่าย คลอกพัลส์ ให้วงจรทำงาน ได้ผลลัพธ์ที่ เซเวนเซ็กเมนต์ เป็น 1 เศษ 2 เป็นการหารที่ไม่ลงตัว ได้เศษที่ R เป็น 2



รูปที่ 13 ผลลัพธ์จากการหาร 3 ด้วย 5

ในรูปที่ 13 ทำการบ่อนอินพุตตัวตั้ง มีค่าเป็น '011' ซึ่งมีค่าเป็น 3 และบ่อนค่าตัวหาร มีค่าเป็น '101' หรือค่าเป็น 5 เมื่อทำการกด สวิตช์ C เพื่อจ่าย คลอกพัลส์ ให้วงจรทำงาน ได้ผลลัพธ์ที่ เซเวนเซ็กเมนต์ เป็น 0 เศษ 3 เป็นการหารที่ไม่ลงตัว ได้เศษ ที่ R เป็น 3 เนื่องจากตัวตั้งมีค่าน้อยกว่าตัวหาร จึงทำการหารไม่ได้ ได้ผลลัพธ์เป็น ศูนย์ และตัวตั้งกลายเป็นเศษ

สรุปผล

จากตัวอย่างการจำลองการทำงานของวงจรรูปที่ 11-13 ด้วยโปรแกรม Circuit Wizard ได้แสดงให้เห็นว่าการออกแบบวงจรรหัสตัวเลขขนาด 3 บิตในระบบดิจิทัลตามหลักการการลบแบบซ้ำๆสามารถนำมาสร้างและประกอบเป็นวงจรรหัสโดยใช้ ไอซีที่เป็นลอจิกเกตพื้นฐาน (John Wiley & Sons. 2016) ได้ไม่ยาก และได้ผลหารถูกต้องสอดคล้อง กับทางทฤษฎีเป็นอย่างดี ทำให้สามารถเข้าใจการออกแบบวงจรประมวลผลทางคณิตศาสตร์ได้เป็นอย่างดี

เอกสารอ้างอิง

ธวัชชัย เลื่อนฉวี. 1989. "ดิจิทัลเทคนิค เล่ม 2", 23 บ็อคเซ็นเตอร์.
 Ivan Flores, "The Logic of Computer Arithmetic", Prentice Hall 1963.
 John F. Wakerly. 2001. "Digital Design: Principles and Practices" 3rd ed., Prentice Hall International.
 John Wiley & Sons, 2016 "Ic Logic Circuits" 1st ed.,
 Tertulien Ndjountche, 2016. "Digital Electronics 2 : Sequential and Arithmetic Logic Circuits" 1st ed.,
 John Wiley & Sons,
 Thomas L. Floyd, 2015. "Digital Fundamentals" 11th ed., Pearson.
 Victor P.Nelson, H.Troy Nagle, J.David Irwin. 1995. "Digital Logic Circuit Analysis & Design" 2nd ed.,
 Prentice Hall,